



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001007315 A**(43) Date of publication of application: **12.01.01**

(51) Int. Cl. **H01L 29/06**
G01N 13/12
H01L 21/203
H01L 21/205
// H01L 31/10
H01S 5/343

(21) Application number: **11175914**(22) Date of filing: **22.06.99**

(71) Applicant: **NEC CORP HITACHI**
LTDGJUTSU KENKYU KUMIAI
FUEMUTOBYOU TECHNOLOGY
KENKYU KIKO

(72) Inventor: **KAWAMOTO SHIGERU**
NAKAMURA HITOSHI
ASAKAWA KIYOSHI
ISHIKAWA TOMONORI

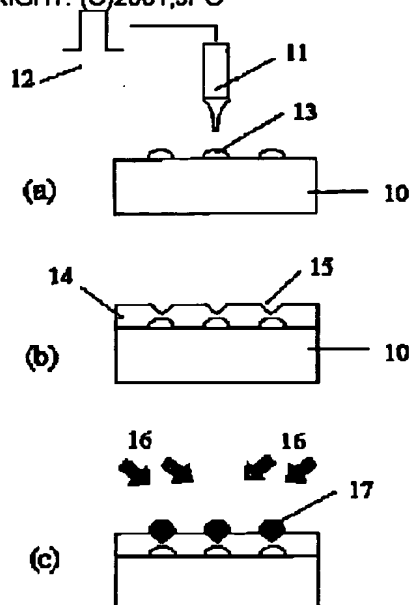
(54) FORMATION OF QUANTUM DOT**(57) Abstract:**

PROBLEM TO BE SOLVED: To contrive to form quantum dots in high density and with good uniformity in a short period and to the same degree as the size of the quantum dots.

SOLUTION: A metal structure 11 having an acute point as an STM chip and an AFM chip is made to approach the surface of a semiconductor substrate 10, and when an electrical pulse 12 is applied to this structure 11, fine projected matters 13 which are several tens to several nm in their diameter and height are formed on the surface of the substrate 10. After this, when a semiconductor ultrathin film layer 14 is grown epitaxially on the surface of the substrate including the projected materials 13, fine recesses 15 are formed directly over the projected materials 13. After this, when quantum dot raw materials 16 are fed to the surface of the ultrathin film layer 14 including the recesses 15, quantum dots 17 having a size of 10 nm or thereabouts are formed only in the parts of the recesses 15. In this method, since the STM chip can be moved to an

accuracy of one nm, the two-dimensional array of the quantum dots in the period of several tens of μm , that is, the short period of the same level as the size of the quantum dots is possible, whereby the quantum dots of a high density are obtained.

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-7315

(P2001-7315A)

(43)公開日 平成13年1月12日(2001.1.12)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 29/06		H 0 1 L 29/06	5 F 0 4 5
G 0 1 N 13/12		G 0 1 N 13/12	A 5 F 0 4 9
H 0 1 L 21/203		H 0 1 L 21/203	M 5 F 0 7 3
21/205		21/205	5 F 1 0 3
// H 0 1 L 31/10		H 0 1 S 5/343	
審査請求 未請求 請求項の数 9 O L (全 8 頁) 最終頁に続く			

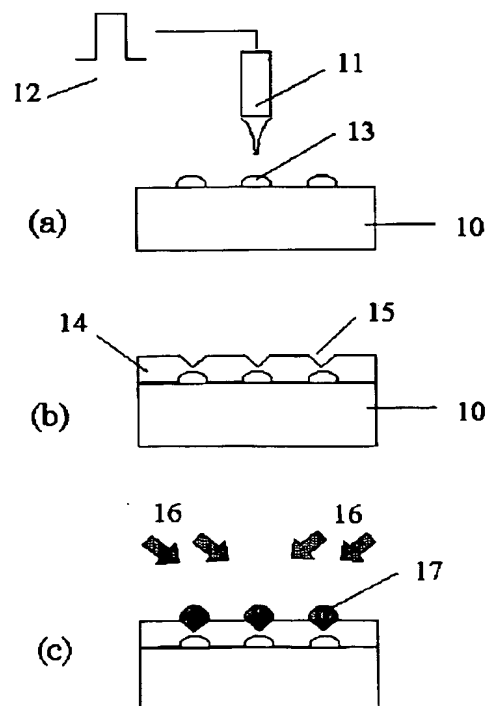
(21)出願番号	特願平11-175914	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成11年6月22日(1999.6.22)	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
		(71)出願人	597145333 技術研究組合フェムト秒テクノロジー研究機構 茨城県つくば市東光台5丁目5番地
		(74)代理人	100071272 弁理士 後藤 洋介 (外1名)
		最終頁に続く	

(54)【発明の名称】 量子ドットの形成方法

(57)【要約】

【課題】 量子ドットのサイズと同程度の短周期で、高密度かつ均一性良く量子ドットを形成する。

【解決手段】 半導体基板 (10) の表面に、STMチップやAFMチップのような、先端が先鋭な金属構造物 (11) を近接せしめ、これに電気的パルス (12) を印加すると、前記基板 (10) の表面に直径・高さが数10～数nmの微細突起物 (13) が形成される。この後、前記突起物 (13) を含む基板表面に、半導体超薄膜層 (14) をエピタキシャル成長すると、前記突起物 (13) の直上に微細な窪み (15) が形成される。この後さらに、前記の窪み (15) を含む超薄膜層 (14) 表面に、量子ドット原材料 (16) を供給すると、前記窪み (15) の部分にのみ10nm程度のサイズを有する量子ドット (17) が形成される。本方法では、STMチップをnmの精度で移動できるので、数10nm、すなわち量子ドットのサイズと同程度の短周期での2次元配列が可能であり、よって高密度の量子ドットが得られるという特徴を有する。



【特許請求の範囲】

【請求項1】 半導体基板(10)の表面に、先端が先鋭な単体又は複合材料から成る金属構造物(11)を近接せしめ、これに電気的パルス(12)を印加する事により、前記基板(10)の表面に微細な突起物(13)を形成する第1の工程と、

前記突起物(13)を含む基板表面に、半導体超薄膜層(14)をエピタキシャル成長して、前記突起物(13)の直上に微細な窪み(15)を形成する第2の工程と、

前記窪み(15)を含む超薄膜層(14)表面に、量子ドット原材料(16)を供給することにより、前記窪み(15)の一部又は全てを覆って、前記量子ドット原材料(16)を主成分とする量子ドット(17)を形成する第3の工程とを含むことを特徴とする量子ドットの形成方法。

【請求項2】 請求項1に記載の量子ドットの形成方法において、前記金属構造物(11)が、タングステン

(W)、白金(Pt)、又はタンタルのいずれかから成る高融点単体金属であることを特徴とする量子ドットの形成方法。

【請求項3】 請求項1に記載の量子ドットの形成方法において、前記金属構造物(11)が、タングステン

(W)、白金(Pt)、又はタンタルのいずれかの高融点金属からなる心線(18)と、前記心線(18)を被覆する、前記心線(18)よりも低融点の金属からなる被覆層(19)とを含むことを特徴とする量子ドットの形成方法。

【請求項4】 請求項1に記載の量子ドットの形成方法において、前記金属構造物(11)が、走査型トンネル顕微鏡(STM)チップ、原子間力顕微鏡(AFM)チップ、近視野走査型光学顕微鏡(NSOM)チップのいずれかであることを特徴とする量子ドットの形成方法。

【請求項5】 請求項1に記載の量子ドットの形成方法において、前記突起物(13)及び前記窪み(15)のサイズが50ナノメートル(nm)未満であることを特徴とする量子ドットの形成方法。

【請求項6】 請求項1に記載の量子ドットの形成方法において、前記半導体超薄膜層(14)および前記量子ドット原材料(16)の組み合わせが、互いに無歪み系であるかまたは歪み系であることを特徴とする量子ドットの形成方法。

【請求項7】 請求項1に記載の量子ドットの形成方法において、前記半導体超薄膜層(14)および前記量子ドット原材料(16)の組み合わせが、互いに無歪み系の組み合わせである場合、前記量子ドット原材料(16)および前記半導体超薄膜層(14)の組み合わせは、GaAs/AlGaAs、或いは $\text{In}_x\text{Ga}_{1-x}\text{As}/\text{InP}$ ($x=0.53$)、或いは $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{P}_{1-y}/\text{InP}$ ($x=0.7, y=0.65$)、或いは $\text{In}_x\text{Ga}_{1-x}\text{As}/\text{AlAs}_y\text{Sb}_{1-y}$ ($x=0.53, y=0.56$)、或いは $\text{InP}/\text{AlAs}_x\text{Sb}_{1-x}$ ($x=0.56$)であり、前記半導体超薄膜層(14)および前記量子ドット原材料

(16)の組み合わせが、互いに歪み系の組み合わせである場合、前記量子ドット原材料(16)および前記半導体超薄膜層(14)の組み合わせは、InAs/GaAs、或いはInGaAs/GaAs、或いはInP/GaAs、或いはGaSb/GaAs、

或いはGaAsSb/GaAs、或いはInGaAs/InP、或いはGaAsSb/InP、或いはInP/InAlAs、或いはGaAs/GaP、或いはGaAsP/GaP、或いはZnTeSe/ZnSe、或いはZnSe/ZnS、或いはGaN/AlN、或いはInAlN/AlN、或いはInAlN/GaN、或いはSiGe/Siであることを特徴とする量子ドットの形成方法。

【請求項8】 請求項1に記載の量子ドットの形成方法において、前記第3の工程が、分子線結晶成長法(MBE)、有機金属気相成長法(MOVPE)、液相成長法のいずれかであることを特徴とする量子ドットの形成方法。

【請求項9】 請求項1に記載の量子ドットの形成方法において、前記第1乃至前記第3の工程が、真空中において連続して行われることを特徴とする量子ドットの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、位置およびサイズが微細に制御された半導体量子ドットの形成方法に関する。

【0002】

【従来の技術】バンドギャップの狭い半導体の微細構造が、バンドギャップの広い半導体によって2次元もしくは3次元にわたって囲まれた、いわゆる低次元量子構造は光・電子素子の高機能化、高性能化に有望であり、将来の光・電子産業発展の鍵として、近年多大な関心を集めている。特に3次元量子閉じこめ構造である量子ドットは、電子の強い閉じこめ効果に基づく状態密度の先鋭化に由来して、顕著な量子効果が多岐に渡り発現するため、従来にない優れた機能・性能を有する光・電子デバイスの基本構造としてその実現が期待されている。

【0003】従来知られた量子ドットを形成する方法の代表例は、図6に示されるように、化合物半導体基板100上のエピタキシャル成長層101の表面に、量子ドットサイズに対応する微小パターンが開口されたマスク102が、電子ビーム、イオンビーム、STMなどのリソグラフィ技術で形成され、その後ガスソースMBE等により、開口部のみに選択的に量子ドット103が形成される手法が提案されている(たとえば、Applied Physics Letters 68 (1996) 1811)。この手法は形成した量子ドットの位置およびサイズが直接、開口した領域により限定できるため、制御性は良好である。

【0004】しかし、このような手法は、マスク部と非マスク部の成長速度の差を利用するため、トリメチルガリウム、トリメチルインジウム等、表面での化学反応に富む有機金属材料が主な原料である。一般に有機金属は

炭素を主成分の一部とするため、形成された結晶には原料の炭素が多く含まれ、よって結晶品質は光学的に良好でなく、量子ドットとして使用に耐えないという重大な欠点があった。

【0005】化合物半導体を用いた量子ドットの他の代表的な形成方法は、例えば、Applied Physics Letters 63 (1993) 3202に掲載されている様に、Stransky-Krastanov (S-K) モード成長と呼ばれる成長方法である。これは、図7に示されるごとく、基板100のエピタキシャル成長膜101に、成長膜101とは格子定数が異なる、いわゆる格子不整合系材料105および104を、材料に依存して決まる臨界膜圧と呼ばれる所望の厚みほど、エピタキシャル成長する方法である。この結果として、ウェットティングレアー105と呼ばれる薄い薄膜層の上に、島状のドット104が自己組織的に形成される。この方法は、リソグラフィを必要とせず結晶成長のみによるため、良質な結晶ドットが出来るものとして注目されている。

【0006】しかしながら、この方法では高品質かつ比較的小さいサイズの揃った量子ドットが得られるものの、形成位置およびサイズの制御が不十分であることが判明してきつつある。

【0007】従来知られた他の代表的な自己組織的形成方法は、例えば、Japanese Journal of Applied Physics 32 (1993) 2052に掲載されている様に、図8に示すごとくVolmer-Weber (V-W) モード成長と呼ばれる方法である。これは、基板100のエピタキシャル成長膜101の表面を、成長膜101とは異なる物質の原子膜106で終端しておく、その後成長膜101と同一材料を供給することで、表面に島状のドット107が形成できる。基板がGaAsの場合、終端用原子膜106は、しばしば硫黄(S)が用いられる。本方法は、上述のS-Kモード成長と異なり、表面物質と同一物質のドットが自己組織的に形成されるという利点を有している。

【0008】しかしながら、本方法も、S-Kモード成長と同様、ドットの形成位置およびサイズの制御が不十分である点が本方法の欠点である。

【0009】このような欠点を克服するために、近年、ストライプ状溝 (Applied Physics Letters 66 (1995) 1620)、微細穴 (Applied Physics Letters 68 (1996) 1684)、四面体溝 (Applied Physics Letters 67 (1995) 256) などのパターン化基板上で同様な手法が検討されている。このような手法では、パターンの加工が湿式エッチングにより成され、しかもその前後では、基板表面は大気暴露を伴う。このため本方法では一般的に、(i) パターンのサイズが量子ドットの数倍以上と大きく、その均一性も良好でない、(ii) ドットを形成する加工表面の品質が酸化されるなどの劣化を伴う、などの欠点に伴う。このため、上記の従来例では、位置およびサイズが原子・格子のレベルで制御された高品質

のドット形成の実現には困難さがあった。

【0010】これを解決する更なる最近の例は、自己組織的な結晶成長法と、収束電子ビーム (EB) によるナノメータ精度を持つ加工法との組み合わせにより、位置とサイズが精密に制御された高品質かつ高密度なドットの形成を可能ならしめる試みである (たとえばAbstracts of 1997 Materials Research Society Fall Meeting, Boston, USA, 1997, p. 90、あるいは Abstracts of the Fifth International Workshop on Femtosecond Technology, Tsukuba, Japan 1998, p. 88)。すなわち、図9に示すように、半導体基板100、およびそのバッファ層としてのエピタキシャル層101の表面上において、量子ドットの形成を意図する位置に予めEBによるリソグラフィとガスエッチングにより微細穴108を形成しておき、その後、結晶層101とは格子定数が1%以上異なる別の半導体材料をMBE法で供給することにより、加工穴108にのみ量子ドット構造109を形成するものである。この方法は、前述のような湿式エッチングを用いたパターン化基板の形成とは異なり、全工程を真空連続工程で行うため、ドットを形成する加工表面は大気による表面酸化を伴わないので高品質であるという利点を有する。本方法を用いると、直径が100nm径のドットは容易に得られる。

【0011】ところで、理論的に予測される最適の量子ドット径は材料系によって異なるが、しばしば用いられるGaAsやInP系の材料では、10~20nmとされている。このような微細なサイズのドットを前記の方法によって形成するには困難が伴った。これは、EBとガスエッチングの組み合わせを利用することから、前記微細穴108の径を100nm以下に減少せしむることが困難であることに由来する。

【0012】

【発明が解決しようとする課題】高機能、高性能な光子素子を可能にする量子ドットの形成に課せられる課題は、まずサイズが10~20nmと微細であり、位置やサイズが広範囲に渡って良好に制御され、さらにドットの結晶が高品質 (欠陥や不要な不純物が少ないこと) かつ高密度であることが必要である。これに対し、従来のS-KモードやV-Wモードの成長法のみでは、上述したように、位置とサイズの精密な制御が十分ではなかった。これを改善するために、真空連続工程で予め基板に微細窪みを加工したパターン化基板を用い、これにS-Kモードによる自己組織的な成長を適用し、よって微細窪みにのみ選択的にドットを形成していた従来例では、位置の制御が良好であり、かつ加工表面が大気に露呈されないために良質のドットが得られる利点を有する反面、10~20nmと微細なサイズのドットを得ることが困難であった。

【0013】本発明の課題は、清浄な基板表面にサイズが10~20nm以下であるような微細な突起もしくは窪みのパターンを、ナノメータの精度で加工し、よってサイズ

が10～20nmである高品質の量子ドットを広範囲に渡って高均一に形成する方法を提供することにある。

【0014】

【課題を解決するための手段】本発明は、予め半導体基板表面に、走査型トンネル顕微鏡（STM）のチップのような先端の先鋭な極微細な金属構造物を近接して電気的パルスを印加すると、サイズおよび高さが10nm前後の微細な突起物を数10nm前後のピッチで形成することが可能であり、更に、基板と同一物質の超薄膜を基板前面にエピタキシャル成長すると、微細な突起物の直上および周辺では成長速度が遅いことに由来して微細な窪みが自己組織的に形成されることを利用し、これらの微細な窪みを含む表面にこれと格子定数の異なる物質を供給することによって、数10nm前後のピッチでかつサイズおよび高さが10nm前後の微細な量子ドットを自己組織的に形成する手段を提供するものである。

【0015】即ち、本発明によれば、半導体基板表面に、STMのチップのような先端の先鋭な極微細な金属構造物により微細な突起物を形成する第1の工程と、前記微細な突起物が形成された基板表面に、基板と同一の半導体超薄膜を成長して、前記微細突起物の直上および周辺にのみ微細な窪みを形成する第2の工程と、前記超薄膜とは異なる半導体材料を供給することにより、前記微細な窪みにのみ10～20nmのサイズと数10nmのピッチとを有する量子ドットを形成する第3の工程とを含むことを特徴とする量子ドットの形成方法が得られる。

【0016】

【発明の実施の形態】次に本発明の実施の形態を図1及び図2を参照して説明する。

【0017】本発明の第1の実施形態によれば、半導体基板（10）の表面に、先端が先鋭な単体又は複合材料から成る金属構造物（11）を近接せしめ、これに電気的パルス（12）を印加する事により、前記基板（10）の表面に微細な突起物（13）を形成する第1の工程と、前記突起物（13）を含む基板表面に、半導体超薄膜層（14）をエピタキシャル成長して、前記突起物（13）の直上に微細な窪み（15）を形成する第2の工程と、前記窪み（15）を含む超薄膜層（14）表面に、量子ドット原材料（16）を供給することにより、前記窪み（15）の一部又は全てを覆って、前記量子ドット原材料（16）を主成分とする量子ドット（17）を形成する第3の工程とを含むことを特徴とする量子ドットの形成方法が得られる。

【0018】本発明の第2の実施形態によれば、前記第1の実施形態による量子ドット形成方法において、前記金属構造物（11）が、タングステン（W）、白金（Pt）、又はタンタルのいずれかから成る高融点単体金属であることを特徴とする量子ドットの形成方法が得られる。

【0019】本発明の第3の実施形態によれば、前記第1の実施形態による量子ドット形成方法において、前記

金属構造物（11）が、タングステン（W）、白金（Pt）、又はタンタルのいずれかの高融点金属からなる心線（18）と、前記心線（18）を被覆する、前記心線（18）よりも低融点の金属からなる被覆層（19）とを含むことを特徴とする量子ドットの形成方法が得られる。

【0020】本発明の第4の実施形態によれば、前記第1の実施形態による量子ドット形成方法において、前記金属構造物（11）が、走査型トンネル顕微鏡（STM）チップ、原子間力顕微鏡（AFM）チップ、近視野走査型光学顕微鏡（NSOM）のいずれかであることを特徴とする量子ドットの形成方法が得られる。

【0021】本発明の第5の実施形態によれば、前記第1の実施形態による量子ドット形成方法において、前記半導体超薄膜層（14）および前記量子ドット原材料（16）の組み合わせが、互いに無歪み系であるかまたは歪み系であることを特徴とする量子ドットの形成方法が得られる。

【0022】本発明の第6の実施形態によれば、前記第1の実施形態による量子ドット形成方法において、前記半導体超薄膜層（14）および前記量子ドット原材料（16）の組み合わせが、互いに無歪み系の組み合わせである場合、前記量子ドット原材料（16）および前記半導体超薄膜層（14）の組み合わせは、GaAs/AlGaAs、或いは $\text{In}_x\text{Ga}_{1-x}\text{As}/\text{InP}$ （ $x=0.53$ ）、或いは $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{P}_{1-y}/\text{InP}$ （ $x=0.7, y=0.65$ ）、或いは $\text{In}_x\text{Ga}_{1-x}\text{As}/\text{AlAs}_y\text{Sb}_{1-y}$ （ $x=0.53, y=0.56$ ）、或いは $\text{InP}/\text{AlAs}_x\text{Sb}_{1-x}$ （ $x=0.56$ ）であり、前記半導体超薄膜層（14）および前記量子ドット原材料（16）の組み合わせが、互いに歪み系の組み合わせである場合、前記量子ドット原材料（16）および前記半導体超薄膜層（14）の組み合わせは、InAs/GaAs、或いはInGaAs/GaAs、或いはInP/GaAs、或いはGaSb/GaAs、或いはGaAsSb/GaAs、或いはInGaAs/InP、或いはGaAsSb/InP、或いはInP/InAlAs、或いはGaAs/GaP、或いはGaAsP/GaP、或いはZnTeSe/ZnSe、或いはZnSe/ZnS、或いはGaN/AlN、或いはInAlN/AlN、或いはInAlN/GaN、或いはSiGe/Siであることを特徴とする量子ドットの形成方法が得られる。

【0023】本発明の第7の実施形態によれば、前記第1の実施形態による量子ドット形成方法において、前記第3の工程が、分子線結晶成長法（MBE）、有機金属気相成長法（MOVPE）、液相成長法のいずれかであることを特徴とする量子ドットの形成方法が得られる。

【0024】本発明の第8の実施形態によれば、前記第1の実施形態による量子ドット形成方法において、前記第1から第3の工程が、真空中において連続して行われることを特徴とする量子ドットの形成方法が得られる。

【0025】次に本発明の実施例について図面を参照して説明する。

【0026】図1は、本発明の第1の実施例における工程概念図である。図1(a)に示すように、基板10の表面

に、先端が先鋭な高融点材料からなる単体の金属構造物11を近接せしめ、これに電気的パルス12を印加することにより、微細突起物13を形成する。次に、図1(b)に示すように、前記突起物13を含む基板表面に、超薄膜層14をエピタキシャル成長すると、微細突起物13の直上に微細な窪み15が形成される。この後、図1(c)に示すように、前記の窪み15を含む超薄膜層14の表面に、量子ドット原材料16を所望の量だけ供給することにより、前記窪みの一部又は全てを覆うように量子ドット17が形成される。本図の実施例の場合、金属構造物11は単体の高融点金属からなる走査型トンネル顕微鏡（STM）のチップであり、前記微細突起物13は、前記チップと同一金属材料からなっている。また超薄膜層14は、基板10と同一な半導体材料であり、また量子ドット原材料16は、格子定数が超薄膜層14のそれと1%以上異なる半導体材料から成っている。

【0027】図2は、本発明の第2の実施例における、高融点および低融点材料からなる複合金属構造物11の構造概略図である。図において、高融点金属からなる心線18の周りに、これよりも低融点の金属からなる被覆層19が融着されている。この複合金属構造物に、図1の実施例と同様の電気的パルス12を印加することにより、基板10の表面に低融点金属材料19を主成分とする微細突起物20が形成される。この後は、前記第1の実施例と同様の工程により、同様の量子ドットが形成される。

【0028】図3は、図1の場合の具体的な実施例の工程図である。図3では、微細な突起物やエピタキシャル成長が、互いに連結した真空室で連続的に可能となるような複合真空装置を用いて行われる。

【0029】まず、図3(a)において、MBE室において、GaAs(001)基板31上にGaおよびAs分子線を供給し、GaAsエピタキシャル層32をMBE成長する。

【0030】次に、図3(b)において、試料をSTM加工室へ搬送した後、STMのタングステン(W)チップ33を試料表面の所望の場所に近接せしめ、所望の電気的パルスを印加すると、微細突起物34が形成される。このとき、パルス強度が約5ボルト、パルス幅が500msであるとき、幅約15nm、高さ約3nmの突起物が形成される。この突起物は分析の結果、タングステンを主成分とするものであった。本工程では、前記STMチップを、ピエゾ素子からなるインチワーム機構により試料表面のXおよびY方向に沿って微小量だけ移動せしめて、前記同様の微細突起物を形成することにより、2次元周期の微細突起物の配列を形成することが出来る。本実施例では、XおよびY方向の繰り返し周期がいずれも100nm～50nmのものが得られた。

【0031】次に、図3(c)において、試料を再びMBE室に戻し、GaおよびAs分子線を供給し、厚み15nmのGaAsエピタキシャル超薄膜層35をMBE成長する。このとき、前記微細突起34の直上ではGaAsの成長速度が遅いことに

起因して、微細な窪み36が形成される。この窪み36は幅約30nm、深さ約3nmであった。本窪みの詳細な形成機構は、現在のところ不明であるが、前記の微細な突起物が非晶質または多結晶であることが予想されることから、この非晶質または多結晶領域での成長速度が、単結晶層上のエピタキシャル成長速度と異なることに関与しているものと思われる。

【0032】この後、図3(d)において、基板温度を例えば450℃に降温し、再びAs分子線照射下でIn分子線を、例えばInAsに換算して2ないし3原子層分供給して、微細窪み36のみにInAsの量子ドット37を形成する。この際、As分子線の照射圧力としては、 5×10^{-5} Torr程度以上（通常MBE成長で用いる2倍以上）の高い圧力を用いる。

【0033】最後に、図3(e)において、GaAsキャップ層38をMBE成長し、InAsドットを埋め込むことでプロセスが終了する。さらに必要があれば、これらのプロセスは繰り返し何度でも可能であり、三次元積層化が可能である。

【0034】図4は、本発明の第1の実施例による量子ドットの形成工程で得られた微細突起・微細窪み及びInAs量子ドットのSTM像を示す。図において、(a)の白丸は、GaAs基板上に、STMチップに電気的パルスを印加したときに形成される微細突起物を示すSTM像である。同図(b)の黒い長円は、この後GaAsを厚み約15nm成長したときに、前記微細突起物の直上の形成される微細な窪みを示すSTM像である。更に同図(c)の白丸は、最後にInAsを約1.3原子層供給したときに、前記の微細な窪みにのみ形成されたInAs量子ドットを示すSTM像である。

【0035】図5は、図4の微細突起・微細窪みおよびInAs量子ドットのSTMプロフィールを示す。すなわち、STMで形成した微細突起(a)は、幅約15nm、高さ約3nmであり、この微細突起直上のGaAs層における微細窪み(b)は、幅約30nm、深さ約3nmであることが分かる。また、最後にInAsを供給したときに前記微細窪みにのみ得られるInAs量子ドット(c)は、幅約30nm、高さ約6nmであることが分かる。

【0036】なお、図4および図5の実施例では、量子ドットのサイズは約30nmであり、各ドット間の間隔は、上下、左右方向にそれぞれ100nmであるが、別の実施例ではサイズが10-20nm、ドット間隔が20nmであることも確認している。図5に示すように、量子ドットは、正しく微細突起の直上に形成されている。また、微細突起は、STMチップの移動精度と同程度、すなわちnmの精度で位置の制御が可能である。これらの両者を考慮すると、本方法により得られる量子ドットは、nmの位置精度が可能であると同時に、量子ドットのサイズと同程度、すなわち数10nmの周期による2次元配置が可能である。このことは、高密度の量子ドットが実現可能であることを意味しており、実用上大きな利点となる。

【0037】次に本発明の変形例を説明する。

【0038】1. 本発明の実施例では、微細突起物の形成に用いるSTMチップは、タングステンから成っていたが、他の物質、例えば白金またはタンタルでも有効であるほか、これ以外にも、電氣的パルスの印加により、電界蒸発などの現象で基板に突起物を形成する物質は、全て本発明のSTMチップ材料として有効である。

【0039】2. 本発明の実施例では、微細突起物の形成に用いるSPMチップは、STMを用いていたが、AFMチップも同様に微細突起物を形成するために有効である。さらに、SPMとしてNSOMを用いた場合も、NSOM先端の周辺金属膜に電氣的パルスを印加することにより、STMやAFM同様に微細突起物を形成できるので、本発明に有効である。

【0040】3. 本発明の実施例では、量子ドットを構成する第2の半導体、および量子ドットを囲む第1の半導体の組み合わせとして、互いに格子定数の異なる系、すなわち歪み系であるInAs/GaAsを用いたが、他の歪み系、すなわち、InGaAs/GaAs, InP/GaAs, GaSb/GaAs, GaAsSb/GaAs, InGaAs/InP, GaAsSb/InP, InP/InAlAs, GaAs/GaP, GaAsP/GaP, ZnTeSe/ZnSe, ZnSe/ZnS, GaN/AlN, InAlN/AlN, InAlN/GaN, SiGe/Si も同様に本発明に有効である。さらに前記組み合わせとして歪み系のみならず、互いに格子定数が等しい無歪み系、すなわち、GaAs/AlGaAs, $\text{In}_x\text{Ga}_{1-x}\text{As}/\text{InP}$ ($x=0.53$), $\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{P}_{1-y}/\text{InP}$ ($x=0.7, y=0.65$), $\text{In}_x\text{Ga}_{1-x}\text{As}/\text{AlAs}_y\text{Sb}_{1-y}$ ($x=0.53, y=0.56$), $\text{InP}/\text{AlAs}_x\text{Sb}_{1-x}$ ($x=0.56$) の組み合わせに対しても有効であるほか、前記以外の歪み系、無歪み系のすべての組み合わせに対して本発明は有効である。

【0041】4. 本発明の実施例では、結晶成長法として、分子線結晶成長法(MBE)を用いたが、有機金属気相成長法(MOVPE)、液相成長法など、他のあらゆる半導体のエピタキシャル成長法はすべて本発明に有効である。

【0042】

【発明の効果】以上説明したように、本発明によれば、半導体基板表面の、量子ドットの形成を意図する位置に、SPMにより予め微細突起物からなるパターンを形成し、その後、突起物を含む表面に半導体超薄膜層をエピタキシャル成長すると、突起物の直上に1-2nm以内の誤差で、微細な窪みが形成される。この窪みを含む超薄膜表面に、量子ドット原料を供給することにより、窪みを核形成の中心位置として、量子ドットが形成される。したがって、形成された量子ドットの位置制御誤差は、微細突起物の直上から1-2nm以内にとどまる。元来、SPMチップは、前述のようにピエゾ素子からなるインチワーム機構により試料表面のXおよびY方向に沿って、1-2nm以内の誤差範囲で微小量移動するので、前記微細突起物の位置制御の誤差は、同様の1-2nm以内である。これらの

ことを勘案すると、本発明の方法により微細突起物を核として2次元周期の量子ドット配列を形成すると、得られた量子ドットの位置制御精度は、1-2nm以内と、極めて高精度になる。よって本発明の第1の効果は、極めて高精度に位置が制御された量子ドットが形成できる点にある。

【0043】さらに本発明によれば、位置が1-2nm以内の誤差で精密に制御された高密度なドットが高均一に形成される。このことは、得られた量子ドットのサイズも、従来に比べてばらつきが抑制される事を意味する。さらにまた、これらのプロセスはすべて真空中で一貫して行われるので高品質なものが得られると同時に、繰り返し行えるため、三次元積層化が容易な特徴を有する。これが本発明の第2の効果である。

【0044】なお、本発明のSPMによる微細突起物形成の代わりに、従来のリソグラフィを用いて、窒化シリコンの微細パターンを2次元に配列し、しかる後超薄膜を成長して得られた窪みに、自己組織的に量子ディスクを形成した例は、例えば、1998年1月23日 応用物理学会結晶工学分科会第108回研究会テキスト「量子ドットの結晶工学—サイズ分布は狭められるか—」の収載された論文、すなわち22ページに記載されている。この場合、窒化シリコンの微細パターンは約50nm径であり、超薄膜を成長して得られた窪みは、前記窒化シリコンの微細パターンの直上から一定の距離ずれており、これらの結果として、得られた量子ディスクは、直径が約60nmと大きいと、量子ドットの効果は薄い。また、量子ディスクの直径をこれより小さくすると位置制御が損なわれることが、前記論文に記述されている。従って、このような公知例は、本発明と異質のものであり、本発明がこれに妨げられるものではない。

【図面の簡単な説明】

【図1】本発明の第1の実施例による量子ドットの形成方法の工程概念図。

【図2】本発明の第2の実施例による量子ドットの形成方法における複合金属構造物の構造断面図。

【図3】本発明の第1の実施例による量子ドットの具体的な工程説明図。

【図4】本発明の第1の実施例による量子ドットの形成工程における微細突起・微細窪み及びInAs量子ドットのSTM像。

【図5】本発明の第1の実施例による量子ドットの形成工程における微細突起・微細窪み及びInAs量子ドットのSTM断面プロフィール。

【図6】従来のInAsドット構造の位置制御法を説明するための図である。

【図7】従来のInAsドット構造の位置制御法を説明するための図である。

【図8】従来のInAsドット構造の位置制御法を説明するための図である。

【図9】従来のInAsドット構造の位置制御法を説明するための図である。

【符号の説明】

10 基板

11 金属構造物

13 微細突起物

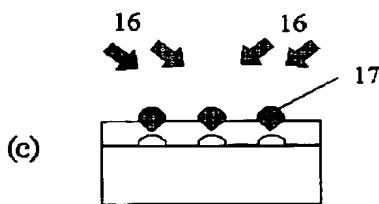
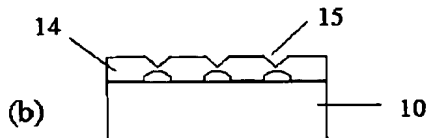
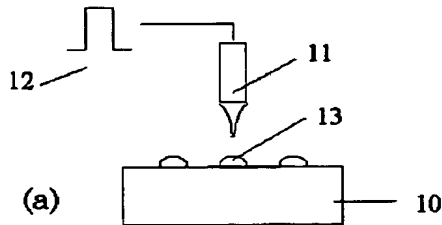
14 超薄膜

15 微細窪み

17 量子ドット

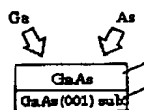
20 微細突起物

【図1】

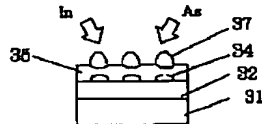


【図3】

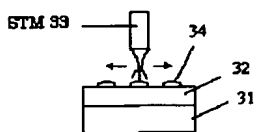
(a) GaAs MBE成長



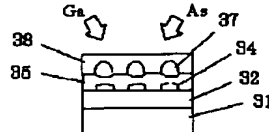
(d) InAs 量子ドット成長



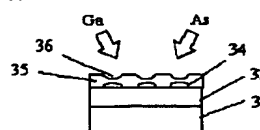
(b) STMによる微細突起形成



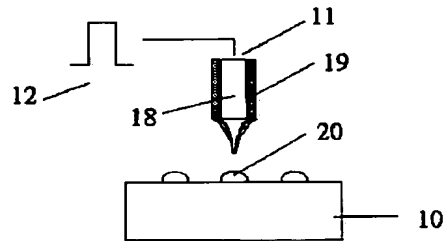
(e) GaAs 埋め込み層成長



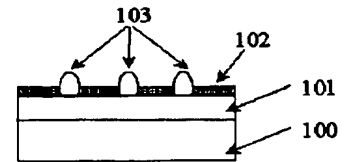
(c) MBE再成長による微細窪み形成



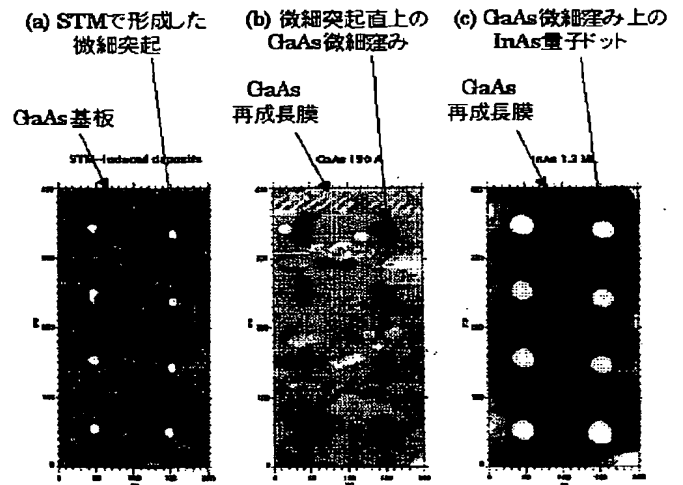
【図2】



【図6】

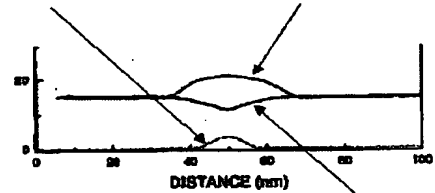


【図4】



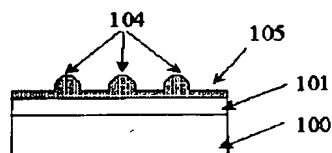
【図5】

(a) STMで形成した微細突起 (c) GaAs 微細窪み上のInAs量子ドット

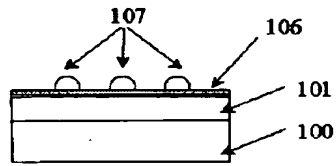


(b) 微細突起直上のGaAs微細窪み

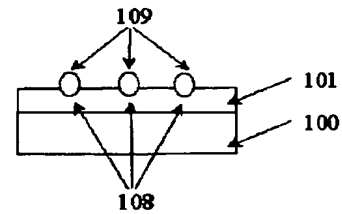
【図7】



【図 8】



【図 9】



フロントページの続き

(51) Int. Cl. 7

H 0 1 S 5/343

識別記号

F I

H 0 1 L 31/10

テーマコード(参考)

Z

(72) 発明者 河本 滋
東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内

(72) 発明者 中村 均
東京都国分寺市東恋ヶ窪一丁目 280 番地
株式会社日立製作所中央研究所内

(72) 発明者 浅川 潔
東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内

(72) 発明者 石川 知則
茨城県つくば市東光台 5 丁目 5 番地 技術
研究組合フェムト秒テクノロジー研究機構
内

F ターム(参考) 5F045 AB09 AB10 AB12 AB17 AB18
AB22 AF04 AF12 AF13 DA56
HA24
5F049 MB01 MB03 MB07 PA04 QA16
5F073 AA75 BA09 CA07 CB02 DA06
5F103 AA04 AA10 DD03 DD05 DD07
DD11 DD13 DD16 DD23 HH03
LL17 RR04 RR05